

108年公務、關務人員升官等考試、108年交通
事業郵政、公路、港務人員升資考試試題

等 級：簡任

類科(別)：電子工程

科 目：積體電路技術研究

考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)本科目得以本國文字或英文作答。

- 一、使用深次微米積體電路製程所製造出的電晶體有不可忽略的漏電流 (leakage current) 效應，請問一個標準 CMOS 邏輯閘的輸出邏輯值，是否會受到漏電流的影響？請說明理由。(20 分)
- 二、將多個功能不同的晶片，整合成一個系統單晶片 (System-on-a-chip, SOC) 再封裝成一個積體電路 (IC)，相較於使用印刷電路板整合多顆積體電路，請說明其優點為何？(20 分)
- 三、請說明 nMOS 電晶體的基底(Body)在正常工作下為何需要接地(GND)？(20 分)
- 四、請分別說明電子遷移現象 (Electromigration) 和交談現象 (Crosstalk) 如何影響電路佈局 (layout) 之考量？(20 分)
- 五、請說明一個標準 CMOS 反相器，當其工作電壓下降成原來的一半時，會對其動態功率消耗 (Dynamic power consumption) 造成何影響？又當此反相器的負載電容加大成原來的兩倍時，又會對其動態功率消耗造成何影響？(20 分)